

( 19) 대한민국특허청(KR)  
( 12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
G06K 17/00

(11) 공개번호 특2002- 0073215  
(43) 공개일자 2002년09월23일

(21) 출원번호 10- 2001- 0013217  
(22) 출원일자 2001년03월14일

(71) 출원인 (주) 듀얼아이  
경기도 수원시 팔달구 우만1동 300- 5  
(72) 발명자 권성욱  
인천광역시남구학익2동신동아아파트28동701호  
(74) 대리인 이원일  
유미특허법인

심사청구 : 있음

(54) 비접촉 근접식 카드의 데이터 송수신 장치

요약

본 발명은 근접식 비접촉식 카드의 국제규격인 ISO14443 타입B를 만족하는 비접촉식 카드의 송수신 장치에 관한 것이다.

본 발명의 비접촉 근접식 카드의 데이터 송수신 장치는 데이터 전송부, 수신 데이터 프레임 검출부, 수신 데이터 변환부, 클럭 생성부를 포함한다.

데이터 전송부는 입력되는 바이트 데이터를 비트 데이터로 변환하고, 프레임의 시작 영역(SOF)과 프레임의 끝 영역(EOF)을 알리는 신호를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 송신 클럭에 동기하여 직렬 전송한다. 프레임 검출부는 카드로부터 수신되는 데이터의 프레임의 시작과 프레임이 끝을 검출하여 유효한 프레임을 검출한다. 수신 데이터 변환부는 직렬로 수신되는 데이터 프레임을 수신 클럭과 동기시켜 바이트 데이터로 변환하고 변환된 바이트 데이터를 데이터 버스나 포트에 실어준다. 클럭 생성부는 메인 클럭을 입력받아 데이터 전송부, 수신 데이터 프레임 검출부 및 수신 데이터 변환부에서 필요한 클럭을 생성한다.

대표도  
도 2

색인어

근접식 카드, ISO14443 타입 B, 카드 데이터 송수신 장치

명세서

도면의 간단한 설명

도1은 ISO14443의 타입 B 카드에 사용되는 데이터 프레임 구조를 나타내는 도면이다.

도2는 본 발명의 실시예에 따른 데이터 송수신 장치를 나타내는 도면이다.

도3은 본 발명의 실시예에 따른 클럭 생성부를 상세하게 나타내는 도면이다.

도4는 본 발명의 실시예에 따른 데이터 전송부를 상세하게 나타내는 도면이다.

도5는 본 발명의 실시예에 따른 수신 데이터 프레임 검출부를 상세하게 나타내는 도면이다.

도6은 본 발명의 실시예에 따른 수신 데이터 변환부를 상세하게 나타내는 도면이다.

도7은 본 발명의 실시예에 따른 데이터 전송부의 타이밍도를 나타낸다.

도8은 본 발명의 실시예에 따른 수신데이터 프레임 검출부 및 수신 데이터 변환부의 타이밍도를 나타낸다.

도9는 본 발명의 실시예에 따른 데이터 송신의 흐름도이다.

도10은 본 발명의 실시예에 따른 데이터 수신의 흐름도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비접촉 근접식 카드의 데이터 송수신 장치에 관한 것으로서, 특히 근접식 비접촉식 카드의 국제규격인 ISO14443 타입B를 만족하는 비접촉식 카드의 송수신 장치에 관한 것이다.

국제규격인 ISO14443 타입B에 따르면, 단말기에서 카드로의 데이터 전송은 13.56MHz의 반송파를 사용하여 106Kbps의 데이터 전송속도로 데이터 프레임을 전송하고, 카드로부터의 데이터 수신은 847KHz의 반송파를 사용하여 위상편이변조 방식(PSK)으로 106Kbps의 데이터를 수신하도록 되어 있다.

이러한 국제규격을 만족하여 데이터를 송수신하기 위해, 종래에는 데이터 송수신 장치의 기능을 마이크로 컨트롤러를 사용하여 소프트웨어적으로 구현하거나 특정회사의 주문형 반도체 제품을 사용하여 데이터 송수신 장치 및 방법을 구현하고 있었다.

그러나, 소프트웨어적으로 구현된 제품은 가격적으로는 장점이 있지만 ISO14443 규격에서 정하는 106Kbps의 데이터 속도를 시간적으로 맞추기 어렵고 개발 플랫폼이 바뀌면 완전히 다시 개발해야 하는 문제점을 가지고 있다.

한편, 특정회사의 주문형 반도체 제품을 사용하여 데이터 송수신장치를 구현하는 경우에는 비용이 고가로 되며, 데이터 송수신에 문제가 발생했을 때 분석을 할 수 없다는 문제점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 이와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 ISO14443 타입 B의 규격을 만족하는 모든 카드와 데이터를 주고받을 수 있도록 하드웨어적으로 설계된 데이터 송수신 장치를 제공하기 위한 것이다.

또한, 본 발명의 목적은 제조비용이 적게들고 문제 발생시 쉽게 분석할 수 있는 데이터 송수신 장치를 제공하기 위한 것이다.

#### 발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 특징에 따른 근접식 카드의 데이터 송수신 장치는

입력되는 바이트 데이터를 비트 데이터로 변환하고, 프레임의 시작 영역(SOF)과 프레임의 끝 영역(EOF)을 알리는 신호를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 송신 클럭에 동기하여 직렬 전송하는 데이터 전송부; 카드로부터 수신되는 데이터의 프레임의 시작과 프레임이 끝을 검출하여 유효한 프레임을 검출하는 수신 데이터 프레임 검출부; 직렬로 수신되는 데이터 프레임을 수신 클럭과 동기시켜 바이트 데이터로 변환하고 변환된 바이트 데이터를 데이터 버스나 포트에 실어주는 수신 데이터 변환부; 및 메인 클럭을 입력받아 상기 데이터 전송부, 상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 필요한 클럭을 생성하는 클럭 생성부를 포함한다.

여기서, 상기 데이터 전송부에서 사용하는 송신 클럭과 상기 수신 데이터 변환부에서 사용하는 수신 클럭이 106KHz인 것이 바람직하다.

#### 상기 클럭 생성부는

상기 데이터 전송부에서 사용하기 위한 106KHz의 송신 클럭(TX\_106KHz)을 바이트 단위로 생성하며 상기 데이터 전송부의 데이터 전송을 금지시키기 위한 금지신호(INHIBIT)를 생성하는 송신 클럭 생성부; 및 상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 사용하는 106KHz의 수신 클럭(RX\_106KHz)을 생성하는 수신 클럭 생성부를 포함한다.

#### 상기 데이터 전송부는

상기 클럭 생성부에서 생성된 송신 클럭을 입력받아 송신하고자 하는 바이트 데이터를 직렬의 비트 데이터로 변환하고, 변환된 직렬 데이터에 프레임의 시작과 프레임의 끝을 부가하여 송신할 데이터 프레임을 생성하는 송신 프레임 생성부; 및 전송되는 데이터를 체크하여 한 바이트의 데이터가 종료하면 바이트 종료신호를 발생시켜 상기 클럭 생성부의 송신 클럭의 발생을 중단시키는 바이트 전송 체크부를 포함한다.

#### 상기 수신 프레임 검출부는

프레임의 시작 영역의 종료시점과 프레임의 끝 영역의 종료 시점 사이에서 하이 레벨 상태이고, 나머지 영역에서 로우 레벨인 프레임 검출 신호(DET\_SOF\_EOF)를 출력하는 것이 바람직하다.

#### 상기 수신 데이터 변환부는

상기 프레임 검출 신호와 수신 데이터를 입력받아 비트 단위의 직렬 수신 데이터 프레임을 바이트 데이터로 변환하는 바이트 데이터 검출부; 바이트 데이터의 변환완료로 나타내는 신호(DATA\_READY)를 발생하는 바이트 준비 신호 발생부를 포함한다.

한편, 본 발명의 하나의 특징에 따른 근접식 카드의 데이터 송신 장치는

입력되는 바이트 데이터를 비트 데이터로 변환하고, 프레임의 시작 영역(SOF)과 프레임의 끝 영역(EOF)을 알리는 신호를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 106KHz의 송신클럭에 동기하여 직렬 전송하는 데이터 전송부; 및 메인 클럭을 입력받아 상기 데이터 전송부에서 사용하기 위한 106KHz의 송신 클럭(TX\_106KHz)을 바이트 단위로 생성하며 상기 데이터 전송부의 데이터 전송을 금지시키기 위한 금지신호(INHIBIT)를 생성하는 송신 클럭 생성부를 포함한다.

한편, 본 발명의 하나의 특징에 따른 근접식 카드의 데이터 수신 장치는

카드로부터 수신되는 데이터의 프레임의 시작과 프레임의 끝을 검출하여 유효한 프레임을 검출하는 수신 데이터 프레임 검출부; 직렬로 수신되는 데이터 프레임을 106KHz의 수신 클럭과 동기시켜 바이트 데이터로 변환하고 변환된 바이트 데이터를 데이터 버스나 포트에 실어주는 수신 데이터 변환부; 및 메인 클럭을 입력받아 상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 필요한 클럭을 생성하는 수신 클럭 생성부를 포함한다.

이하에서는 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

먼저, 도1을 참조하여 ISO14443의 타입 B 카드에 사용되는 데이터 프레임 구조를 설명한다.

도1에 도시한 바와 같이, ISO14443의 타입 B 카드에 사용되는 데이터 프레임 구조는 프레임 시작 영역(SOF; start of frame), 데이터 영역(DATA1, DATA2,...,DATAn) 및 프레임 끝 영역(EOF; end of frame)으로 이루어진다. 프레임 시작 영역과 프레임 끝 영역(SOF, EOF)은 10 비트(또는 11 비트)가 모두 0인 값으로 이루어진다. 각 데이터 영역은 10 비트이며, 각각 1 비트의 시작 비트, 8비트의 데이터 비트, 1비트의 정지 비트로 이루어진다. 이때, 시작 비트의 값은 0이며, 정지 비트의 값은 1이다.

본 발명의 실시예에 따른 데이터 송수신 장치는 이와 같은 국제 규격에 따라 106KHz의 송신 클럭에 동기시켜 비트 데이터 프레임을 전송하고 위상편이변조방식에서 검출된 106KHz의 수신 데이터를 입력받아 내부 클럭과 동기시켜 데이터를 검출한다.

도2는 본 발명의 실시예에 따른 데이터 송수신 장치를 나타내는 도면이다.

도2에 도시한 바와 같이, 본 발명의 실시예에 의한 데이터 송수신 장치는 클럭 생성부(100), 데이터 전송부(200), 수신 데이터 프레임 검출부(300) 및 수신 데이터 변환부(400)를 포함한다.

클럭 생성부(100)는 13.56MHz의 메인 클럭을 입력받아 데이터 전송부(200), 수신 데이터 프레임 검출부(300) 및 수신 데이터 변환부(400)에서 필요한 847KHz와 106KHz의 클럭을 공급한다. 데이터 전송부(200)는 클럭생성부(100)와 연결되어 바이트 데이터를 비트 데이터로 변환하고 프레임의 시작과 끝을 알리는 신호(SOF, EOF)를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 106Kbps로 직렬 전송한다. 수신 데이터 프레임 검출부(300)는 클럭생성부(100)와 연결되어 수신되는 데이터로부터 유효한 프레임(즉, 프레임의 시작과 끝)을 검출한다. 수신 데이터 변환부(400)는 클럭생성부(100)와 수신 데이터 프레임 검출부(300)와 연결되어 직렬로 수신되는 데이터 프레임을 106KHz와 동기시켜 바이트 데이터로 변환하고 이 변환된 바이트 데이터를 데이터 버스나 포트에 실어준다.

다음은 도3 내지 도8을 참조하여 본 발명의 실시예에 따른 클럭 생성부(100), 데이터 전송부(200), 수신 데이터 프레임 검출부(300) 및 수신 데이터 변환부(400)를 상세하게 설명한다.

도3, 도4, 도5, 도6은 각각 본 발명의 실시예에 따른 클럭 생성부, 데이터 전송부, 수신 데이터 프레임 검출부, 수신 데이터 변환부를 상세하게 나타내는 도면이다. 도7, 도8은 본 발명의 실시예에 따른 데이터 전송부의 타이밍도와 수신 데이터 프레임 검출부 및 수신 데이터 변환부의 타이밍도를 나타낸다.

도2 및 도3에 도시한 바와 같이, 클럭 생성부(100)는 13.56MHz의 클럭신호, 바이트 전송 시작 신호(STARTBYTE\*), 바이트 전송 종료 신호(ENDBYTE), 하드웨어 초기화 신호(CLEAR\*), 수신 데이터(RX\_DATA)를 입력받아 데이터 전송부(200)에서 사용하기 위한 클럭(TX\_106KHz), 데이터 전송부(200)가 바이트 전송을 금지하기 위한 금지 신호(INHIBIT), 수신데이터 검출부(300) 및 수신 데이터 변환부(400)에서 사용하기 위한 클럭(RX\_106KHz, 847KHz)을 발생한다.

도3에 도시한 바와 같이, 본 발명의 실시예에 따른 클럭 생성부(100)는 데이터 전송부(200)에서 사용하기 위한 클럭(TX\_106KHz)을 바이트 단위로 생성하며 금지신호(INHIBIT)를 생성하는 송신 클럭 생성부(120), 수신데이터 검출부(300) 및 수신 데이터 변환부(400)에서 사용하기 위한 수신 클럭(RX\_106KHz, 847KHz)을 생성하기 위한 수신 클럭 생성부(140)를 포함한다.

송신 클럭 생성부(120)는 13.56MHz의 클럭을 입력받아 847KHz의 클럭을 생성하는 카운터(C1), 이 카운터(C1)에 연결되어 847KHz의 클럭을 입력받아 송신을 위한 106KHz 클럭(TX\_106KHz)을 생성하는 카운터(C2), STARTBYTE\* 신호와 ENDBYTE 신호를 입력받아 출력을 카운터(C2)의 클리어 단자(CRL)에 공급하는 오어 게이트(OR1)로 이루어진다. 도7에 도시한 바와 같이 1바이트의 데이터를 송신하기 위해 카드 단말기의 마이크로 컨트롤러(도시하지 않음)가 송신 클럭 생성부(120)의 오어 게이트(OR1)의 입력 신호인 STARTBYTE\* 신호를 하이 레벨에서 로우 레벨로 하면, TX\_106KHz 클럭이 발생한다. 1바이트의 데이터 전송이 종료되면 뒤에서 설명하는 바와 같이 ENDBYTE가 로우 레벨에서 하이 레벨로 변화되어 TX\_106KHz의 클럭발생을 중지한다. 즉, 송신 클럭 생성부(120)는 STARTBYTE\* 신호와 ENDBYTE 신호 중 어느 하나 이상이 하이 레벨인 경우 금지신호(INHIBIT)를 발생시켜 송신 클럭의 발생을 중지시키며, 이 금지신호는 후술하는 데이터 전송부(200)에 입력된다.

수신 클럭 생성부(140)는 오어 게이트(OR2), 카운터(C3, C4), 인버터(IN2), 플립플롭(FF1)으로 이루어진다. 송신 클럭 생성부(120)에서 발생하는 847KHz의 클럭을 입력받아 수신데이터 검출에 필요한 106KHz의 클럭(RX\_106KHz)을 발생한다. ISO14443 타입B의 규격에서 수신데이터 프레임은 프레임 시작신호(SOF)전에 일정시간 동안 수신데이터는 하이 레벨로 들어오게 된다. 프레임을 수신하기 전 크리어 신호(CLEAR\*)를 로우 레벨로 하여 플립플롭(FF1)의 출력을 하이 레벨로 초기화 한 후, 크리어 신호(CLEAR\*)를 하이 레벨로 한다. 플립플롭(FF1)의 출력단자는 오어 게이트(OR2)의 입력에 연결되어 오어 게이트(OR2) 출력이 하이 레벨이 된다. 오어 게이트(OR2)의 하이 레벨 출력은 카운터(C3)의 크리어 단자(CLR)로 입력되어 카운터(C3)의 출력을 로우 레벨로 만든다. 수신 프레임이 없는 경우 RX\_DATA 신호는 로우 레벨로 있기 때문에 인버터(IN1)을 거치면 하이 레벨이 된다. 이 신호는 카운터(C4)의 크리어 단자로 입력되어 카운터(C3)의 출력이 모두 로우 레벨이 된다. 만약 수신데이터(RX\_DATA)가 847KHz의 8주기 이상으로 하이 레벨이 계속되면 플립플롭(FF1)과 연결된 카운터(C4)의 출력이 로우 레벨에서 하이 레벨로 변화하여 오어 게이트(OR2)에 입력된다. 인버터(IN1), 카운터(C4), 플립플롭(FF1)은 수신 데이터(RX\_DATA)에 잡음으로 인한 카운터(C3)의 오동작을 방지하기 위하여 사용된다. 수신 데이터 신호(RX\_DATA)가 847KHz의 주기로 8주기 미만동안 하이 레벨로 있으면 RX\_106KHz의 클럭은 발생되지 않는다. 수신 데이터신호(RX\_DATA)가 8주기 이상 하이레벨로 있다가 로우 레벨로 변화하면 그 때부터 카운터(C3)는 동작을 하여 수신 데이터 검출에 필요한 클럭(RX\_106KHz)를 발생하게 된다. 이 클럭은 수신 프레임검출부(300)로 입력되어 유효한 수신데이터 프레임을 검출하는데 사용된다.

도4에 도시한 바와 같이, 데이터 전송부(200)는 송신 프레임 생성부(220) 및 바이트 전송 체크부(240)로 이루어진다.

송신 프레임 생성부(220)는 플립플롭 (FF2,FF3), 병렬- 직렬 쉬프트 레지스터(RG1), 앤드게이트(AND1)로 이루어지며, 클럭생성부(100)와 연결되어 송신을 위한 클럭 TX\_106KHz를 입력받아 보내고자 하는 바이트 데이터(P2[0...7])를 직렬의 비트 데이터(DATA)로 변환하고, 직렬로 변환된 비트 데이터(DATA)와 SOFEOF신호를 이용하여 송신할 데이터 프레임(TX\_DATA)을 만든다.

데이터 전송부(200)의 송신 프레임 생성부(220)에 입력되는 데이터는 8비트로 구성되어 있지만 국제규격인 ISO14443 타입B에 따라 데이터를 직렬로 전송하기 위해서는 도1에 도시한 바와 같이 시작 비트(Start Bit), 정지 비트(Stop Bit)를 추가하여야 한다. 도4에 도시한 바와 같이, 본 발명의 실시예에서는 시작 비트(항상 "0"의 값임)를 만들기 위해 제일 먼저 전송되는 레지스터(RG1)의 H단자를 로우 레벨(그라운드)로 고정하였으며, 8번째 데이터 비트와 정지 비트(항상 "1"의 값임)를 전하기 위하여 플립플롭(FF2)을 사용하였다. 본 발명의 실시예에서는 8개의 입력단자를 사용하는 레지스터(RG1)를 사용하였기 때문에 플립플롭(FF2)의 클리어 단자(CL)에 8번째의 데이터 비트가 입력되고, 플립플롭(FF2)의 출력신호가 레지스터의 입력단자(SER)에 입력되도록 설계되었다. 즉, 레지스터(RG1)의 입력단자(SER)는 8번째의 데이터 비트와 정지 비트가 함께 입력되도록 설계되었다. 그러나, 9개의 이상의 입력단자를 가지는 레지스터를 사용하는 경우에는 8비트의 데이터 비트와 정지 비트가 각각 별개의 입력단자에 입력되도록 설계할 수 있다. 레지스터(RG1)의 INH 단자에는 송신 클럭 생성부에서 생성되는 금지신호(INHIBIT) 신호가 입력되며, 도7에 도시한 바와 같이 금지신호가 하이 레벨인 경우 레지스터(RG1)의 동작이 중지된다. 플립플롭(FF3)은 레지스터(RG1)에서 직렬로 나오는 비트 데이터를 106KHz의 송신클럭에 동기시키기 위하여 사용된다.

송신 프레임 생성부(220)의 앤드게이트(AND1)는 플립플롭(FF3)으로부터 출력되는 송신클럭에 동기된 변환 데이터(DATA0)와 프레임의 시작과 끝을 나타내는 신호(SOFEOF)를 앤드 게이트(AND1)에 입력받아 송신 데이터 프레임(TX\_DATA)을 생성한다.

바이트 전송 체크부(240)는 카운터(C5), 앤드게이트(AND2), 플립플롭(FF4)으로 이루어지며, 전송되는 데이터를 체크하여 한 바이트의 데이터가 종료하면 ENDBYTE신호를 발생시켜 클럭 생성부(100)의 TX\_106KHz의 발생을 중단시킨다. 바이트 전송 체크부(240)의 앤드 게이트(AND2)는 송신 클럭(TX\_106KHz)이 10개 입력될 때마다 하이레벨의 펄스 신호를 플립플롭(FF4)의 클럭단자에 입력하여, ENDBYTE 신호를 하이레벨로 한다. 이 ENDBYTE 신호는 도3에 도시한 바와 같이 송신 클럭 생성부(120)의 오어 게이트(OR1)에 입력된다.

도2 및 도5에 도시한 바와 같이, 수신 데이터 프레임 검출부(300)는 인버터(IN2), 카운터(C6), 앤드게이트(AND3), 플립플롭(FF5)으로 이루어져 있으며, 수신을 위한 클럭신호 RX\_106KHz와 수신 데이터 RX\_DATA, 초기화 신호 CLEAR\*를 입력받아 수신 데이터 프레임을 검출하고, 수신 데이터 프레임이 검출되는 동안 유효 프레임을 체크하기 위한 파형인 DET\_SOF\_EOF를 하이 레벨로 유지한다.

도5에서, 수신되는 데이터 중 로우레벨이 10비트 이상이 되면 앤드 게이트(AND3)의 출력이 로우 레벨에서 하이 레벨로 변환되어 플립플롭(FF5)의 출력이 토글된다. 즉, 플립플롭(FF5)의 출력 파형 DET\_SOF\_EOF은 도8에 도시한 바와 같이 프레임의 시작 영역(SOF)이 종료되면 하이 레벨 상태로 되며, 프레임의 끝 영역(Eof)이 종료되면 로우 레벨로 된다. 따라서, 플립플롭(FF5)의 출력이 하이 레벨인 경우가 유효한 수신 데이터 프레임으로 인식하게 된다.

도6에 도시한 바와 같이, 수신 데이터 변환부(400)는 바이트 데이터 검출부(420) 및 바이트 준비 신호 발생부(440)로 이루어진다.

바이트 데이터 검출부(420)는 앤드 게이트(AND4, AND5), 인버터(IN3), 플립플롭(FF6), 직렬- 병렬 쉬프트 레지스터(RG2), 래치(L1)로 이루어지며, 프레임검출 신호(DET\_SOF\_EOF)와 수신 데이터(RX\_DATA)를 입력받아 비트단위의 직렬 수신 데이터 프레임을 바이트 데이터로 변환한다.

바이트 준비 신호 발생부(440)는 카운터(C7, C8), 앤드 게이트(AND6), 인버터(IN4), 플립플롭(FF7)으로 이루어지며, 바이트 데이터의 변환 완료를 나타내는 신호 DATA\_READY를 발생한다. 바이트 준비신호 발생부(440)가 DATA\_READY 신호를 발생하여 데이터 준비를 알리면 단말기의 마이크로 컨트롤러(도시하지 않음)는 바이트 데이터 검출부(420)에 의해 변환된 바이트 데이터를 읽어 들인다.

구체적으로, 바이트 데이터 검출부(420)의 레지스터(RG2)는 수신된 데이터 중 시작 비트를 제외한 8비트의 데이터를 저장한 후 래치(L1)로 출력한다. 바이트 준비 신호 발생부(440)의 앤드 게이트(AND6)는 수신된 데이터가 9번째 비트가 되면 출력이 로우 레벨에서 하이 레벨로 변환되고 플립플롭(FF7)의 출력이 로우레벨에서 하이 레벨로 변하여 바이트 데이터 준비 신호(DATA\_READY신호)를 발생하고 쉬프트 레지스터(RG2)에 저장된 8비트의 데이터가 래치(L1)에 저장되도록 래치(L1)의 클럭단자(CLK)로 입력된다. 마이크로 컨트롤러(도시하지 않음)는 DATA\_READY신호를 점검하여 하이 레벨이면 1바이트의 데이터가 수신되었음을 나타내므로 RCV\_EN\*을 로우레벨로 하여 래치(L1)로부터 데이터를 읽어 들인다. 마이크로 컨트롤러는 데이터를 읽은 후 DATA\_CLEAR\* 신호를 로우레벨로 하여 레지스터(RG2)와 플립플롭(FF7)을 클리어한다.

바이트 데이터 검출부(420)의 인버터(IN3)와 플립플롭(FF6)은 SOF 이후 각 데이터의 시작 비트를 감지하여 카운터(C7)를 동작시킨다. EOF를 검출하면 앤드 게이트(AND5)의 출력이 로우레벨로 되어 플립플롭(FF6)의 클리어 단자(CL)에도 로우레벨이 입력되어 출력이 클리어된다. 이 신호는 카운터(C7,C8)의 클리어 단에 하이레벨로 입력되어 출력을 클리어하게 되며 수신단 회로의 동작이 정지하게 된다.

다음은 도9 및 도10을 참조하여 본 발명의 실시예에 따른 데이터 송신 및 데이터 수신 흐름을 설명한다.

먼저 도7 및 도9를 참조하여 데이터 송신의 흐름을 설명한다.

도7에 도시한 바와 같이, 단말기의 마이크로 컨트롤러(도시하지 않음)는 SOFEOF 신호를 특정시간 동안 로우 레벨로 하여 프레임의 시작 영역(SOF)을 만든다. (S100) 이때 로우 레벨로 유지되는 시간은 도1에 도시한 ISO14443 타입 B의 데이터 프레임 구조에 의해 결정된다.

그리고 나서, 마이크로 컨트롤러는 전송하고자 하는 1 바이트 데이터를 포트나 데이터 버스에 쓰고 LOAD\* 신호를 발생하여 레지스터(RG1)에 데이터를 로드한 후, (S110) STARTBYTE\* 신호를 하이 레벨에서 로우 레벨로 하여 송신 클럭 생성부가 송신을 위한 클럭 TX\_106 KHz를 발생시키도록 한다. (S120) 그러면, 레지스터(RG1)에 저장되어 있던 바이트 데이터가 TX\_106KHz에 동기되어 직렬의 비트 데이터 TX\_DATA로 나온다. (S130)

마이크로 컨트롤러는 바이트 전송 체크부(240)에서 출력되는 ENDBYTE 신호가 하이 레벨인지(즉, 1 바이트 데이터의 전송이 종료되었는지)를 체크하여(S140), ENDBYTE 신호가 하이 레벨인 경우 STARTBYTE\*를 로우 레벨에서 하이 레벨로 한다. (S150) 그리고 나서, 마이크로 컨트롤러는 전송된 1 바이트의 데이터가 마지막 바이트인지를 체크하여(S160) 마지막 바이트가 아닌 경우에는 상기 단계 S110으로 되돌리고, 마지막 바이트인 경우에는 SOFEOF 신호를 특정시간 로우 레벨로 하여 시프레이프의 끝 영역(SOF)을 만든다. (S170)

먼저 도8 및 도10를 참조하여 데이터 수신 흐름을 설명한다.

도8에 도시한 바와 같이, 단말기의 마이크로 컨트롤러는 데이터 프레임을 송신한 후 데이터 수신을 위해 CLEAR\* 신호를 하이 레벨 → 로우 레벨 → 하이 레벨로 하여 데이터 수신을 위한 하드웨어를 초기화한다. (S200)

그리고 나서, 마이크로 컨트롤러는 수신 데이터 검출부로부터 출력되는 유효 프레임 검출 파형(DET\_SOF\_EOF)으로부터 유효한 프레임이 검출되었는지를 검사한다. (S210) 상기 단계 S210에서 유효 프레임이 검출되지 않은 경우에는 소정 시간이 경과되었는지를 판단하여(S230) 소정 시간이 경과한 경우 수신 에러 처리하고(S235) 소정 시간이 경과되지 않은 경우에는 상기 단계 S210으로 되돌린다.

상기 단계 S210에서 유효 프레임이 검출된 경우에는 마이크로 컨트롤러는 수신 데이터 변환부(400)로부터 출력되는 DATA\_READY 신호가 하이 레벨인지를 체크하여(S220) 하이 레벨인 경우 RCV\_EN\*을 하이 레벨에서 로우 레벨로 하여 포트에서 1 바이트의 데이터를 읽은 후 RCV\_EN\*을 하이 레벨로 한다. (S240) 마이크로 컨트롤러는 1 바이트의 데이터를 읽고난 후 DATA\_CLEAR\*를 하이 레벨 → 로우 레벨 → 하이 레벨로 하여 DATA\_READY를 클리어한다. (S250)

그리고 나서, 마이크로 컨트롤러는 유효한 프레임이 종료되었는지를 판단하여(S260) 종료된 경우, 수신 데이터 프레임 종료로 인식하여 수신 데이터를 처리하고(S270), 종료되지 않은 경우 단계 S220으로 되돌린다.

이상에서는 본 발명의 실시예에 대하여 설명하였으나, 본 발명은 상기한 실시예에만 한정되는 것은 아니고 그 외의 다양한 변형이나 변경이 가능하다.

예를 들어, 본 발명의 실시예에서는 오어 게이트, 앤드 게이트, 인버터, 카운터, 플립플롭, 레지스터, 래치 등의 논리회로를 사용하여 설명하였으나, 이외의 다른 논리회로를 통해 구현할 수도 있으며, 실시예에서 언급한 논리 회로를 변형시켜 구현할 수도 있다.

또한, 위에서 설명한 실시예에서는 데이터 송수신 장치를 통합적으로 구현하였으나, 데이터 송신 장치, 데이터 수신 장치를 개별적으로 구현할 수도 있다. 이 경우 당업자는 위에서 설명한 실시예로부터 쉽게 데이터 송신 장치 및 데이터 수신 장치를 구현할 수 있다.

#### 발명의 효과

이상에서 설명한 바와 같이, 본 발명은 비접촉 근접식 카드의 국제규격인 ISO14443 Type B의 규격을 만족하는 모든 카드와 데이터를 송수신할 수 있도록 하드웨어적으로 데이터 송수신 부분이 설계되었기 때문에 데이터 속도를 맞추는 데 문제없이 안정적으로 동작하며 개발 플랫폼에 관계없이 적용될 수 있다.

또한, 일반적인 부품을 사용하여 송수신장치를 개발하여 특정회사의 제품보다 가격적으로 유리하며 문제발생시 쉽게 분석할 수가 있다. 또한, 향후 제품의 단가 및 크기를 절감하기 위한 주문형 반도체 설계에 그대로 적용할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

입력되는 바이트 데이터를 비트 데이터로 변환하고, 프레임의 시작 영역(SOF)과 프레임의 끝 영역(EOF)을 알리는 신호를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 송신 클럭에 동기하여 직렬 전송하는 데이터 전송부;

카드로부터 수신되는 데이터의 프레임의 시작과 프레임의 끝을 검출하여 유효한 프레임을 검출하는 수신 데이터 프레임 검출부;

직렬로 수신되는 데이터 프레임을 수신 클럭과 동기시켜 바이트 데이터로 변환하고 변환된 바이트 데이터를 데이터 버스나 포트에 실어주는 수신 데이터 변환부; 및

메인 클럭을 입력받아 상기 데이터 전송부, 상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 필요한 클럭을 생성하는 클럭 생성부를 포함하는 근접식 카드의 데이터 송수신 장치.

##### 청구항 2.

제1항에 있어서,



상기 데이터 전송부에서 사용하는 송신 클럭과 상기 수신 데이터 변환부에서 사용하는 수신 클럭이 106KHz인 것을 특징으로 하는 근접식 카드의 데이터 송수신 장치.

### 청구항 3.

제2항에 있어서,

상기 클럭 생성부는

상기 데이터 전송부에서 사용하기 위한 106KHz의 송신 클럭(TX\_106KHz)을 바이트 단위로 생성하며 상기 데이터 전송부의 데이터 전송을 금지시키기 위한 금지신호(INHIBIT)를 생성하는 송신 클럭 생성부; 및

상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 사용하는 106KHz의 수신 클럭(RX\_106KHz)을 생성하는 수신 클럭 생성부를 포함하는 근접식 카드의 데이터 송수신 장치.

### 청구항 4.

제3항에 있어서,

상기 송신 클럭 생성부는

13.56KHz의 메인 클럭을 입력받아 847KHz의 클럭을 생성하는 제1 카운터;

상기 제1 카운터로부터 출력되는 847KHz의 클럭을 입력받아 106KHz의 송신 클럭(TX\_106KHz)을 생성하는 제2 카운터;

바이트의 시작신호(STARTBYTE\*)와 바이트의 종료 신호(ENDBYTE)를 입력받아, 바이트의 시작전이나 바이트의 종료 후에 금지신호(INHIBIT)를 발생시키고, 금지신호를 상기 제2 카운터의 클리어 단자에 입력하는 오어 게이트를 포함하는 근접식 카드의 데이터 송수신 장치.

### 청구항 5.

제2항에 있어서,

상기 데이터 전송부는

상기 클럭 생성부에서 생성된 송신 클럭을 입력받아 송신하고자 하는 바이트 데이터를 직렬의 비트 데이터로 변환하고, 변환된 직렬 데이터에 프레임의 시작과 프레임의 끝을 부가하여 송신할 데이터 프레임을 생성하는 송신 프레임 생성부; 및

전송되는 데이터를 체크하여 한 바이트의 데이터가 종료하면 바이트 종료신호를 발생시켜 상기 클럭 생성부의 송신 클럭의 발생을 중단시키는 바이트 전송 체크부를 포함하는 근접식 카드의 데이터 송수신 장치.

### 청구항 6.

제5항에 있어서,

상기 송신 프레임 생성부는

로우 레벨의 시작 비트, 송신하고자 하는 바이트 데이터와 하이 레벨의 정지 비트를 병렬로 입력받아 직렬로 변환하는 병렬- 직렬 쉬프트 레지스터;

상기 병렬- 직렬 쉬프트 레지스터로부터 출력되는 직렬의 비트 데이터를 106KHz의 송신 클럭에 동기시키기 위한 플립 플롭; 및

상기 플립플롭으로부터 출력되는 106KHz의 송신 클럭에 동기된 데이터와 프레임의 시작 영역과 끝 영역을 나타내는 신호(SOFEOF)를 입력받아 송신 데이터 프레임을 출력하는 앤드 게이트를 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 7.

제5항에 있어서,

상기 바이트 전송 체크부는

106KHz의 송신 클럭이 10개 입력될 때마다 하이레벨의 펄스 신호를 생성하는 앤드 게이트; 및

상기 앤드 게이트로부터 출력되는 펄스신호를 클럭단자에 입력하여 상기 바이트 종료신호를 출력하는 플립플롭을 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 8.

제2항에 있어서,

상기 수신 프레임 검출부는

프레임의 시작 영역의 종료시점과 프레임의 끝 영역의 종료 시점 사이에서 하이 레벨 상태이고, 나머지 영역에서 로우 레벨인 프레임 검출 신호(DET\_SOF\_EOF)를 출력하는 것을 특징으로 하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 9.

제8항에 있어서,

상기 수신 프레임 검출부는

106KHz의 수신 클럭과 수신 데이터를 각각 입력단자와 클리어 단자에 입력하는 카운터;

상기 카운터의 출력을 입력받아 수신 데이터 중 로우레벨이 10 비트 이상이면 하이 레벨의 펄스 값을 출력하는 앤드 게이트;

상기 앤드 게이트로부터 하이 레벨의 펄스 값이 입력될 때마다 토글되어 상기 프레임 검출 신호를 출력하는 플립플롭을 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 10.

제8항에 있어서,

상기 수신 데이터 변환부는

상기 프레임 검출 신호와 수신 데이터를 입력받아 비트 단위의 직렬 수신 데이터 프레임을 바이트 데이터로 변환하는 바이트 데이터 검출부;

바이트 데이터의 변환완료를 나타내는 신호(DATA- READY)를 발생하는 바이트 준비 신호 발생부를 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 11.

제10항에 있어서,

상기 바이트 준비 신호 발생부는

847KHz의 클럭을 입력받아 106KHz의 클럭을 출력하는 제1 카운터;

상기 제1 카운터의 출력을 입력받아 카운트하는 제2 카운터;

상기 제2 카운터의 출력신호를 입력받아, 수신된 데이터가 9번째 비트가 되면 하이 레벨의 펄스 값을 출력하는 제1 앤드 게이트;

상기 앤드 게이트의 출력신호가 클럭신호로 입력되어 데이터 준비 신호를 출력하는 제1 플립플롭을 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 12.

제11항에 있어서,

상기 바이트 데이터 검출부는

수신 데이터와 프레임 검출신호를 입력받는 제2 앤드 게이트;

상기 제2 앤드 게이트로부터 출력되는 직렬의 출력신호 중 시작 비트를 제외한 8비트의 데이터를 저장하는 직렬- 병렬 쉬프트 레지스터; 및

상기 쉬프트 레지스터에 저장된 데이터를 저장하며, 마이크로 컨트롤러의 제어하여 저장된 데이터를 마이크로 컨트롤러에 전달하는 래치를 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 13.

제12항에 있어서,

상기 바이트 데이터 검출부는

상기 제2 앤드 게이트의 출력에 대응하는 신호와 상기 프레임 검출신호를 입력받는 제3 앤드 게이트;

상기 제3 앤드게이트의 출력신호를 클리어 단자로 입력받고, 상기 제2 앤드게이트의 출력신호를 클럭신호로 입력받고, 출력신호가 상기 쉬프트 레지스터의 클리어 단자에 입력되는 제2 플립플롭을 추가로 포함하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 14.

제1항 내지 제13항 중 어느 한 항에 있어서,

상기 근접식 카드의 데이터 송수신 장치는 ISO14443 타입 B 카드에 사용되는 것을 특징으로 하는 근접식 카드의 데이터 송수신 장치.

#### 청구항 15.

입력되는 바이트 데이터를 비트 데이터로 변환하고, 프레임의 시작 영역(SOF)과 프레임의 끝 영역(EOF)을 알리는 신호를 송신하고자 하는 데이터 프레임의 앞과 뒤에 부가하여 106KHz의 송신클럭에 동기하여 직렬 전송하는 데이터 전송부; 및

메인 클럭을 입력받아 상기 데이터 전송부에서 사용하기 위한 106KHz의 송신 클럭(TX\_106KHz)을 바이트 단위로 생성하며 상기 데이터 전송부의 데이터 전송을 금지시키기 위한 금지신호(INHIBIT)를 생성하는 송신 클럭 생성부를 포함하는 근접식 카드의 데이터 송신 장치.

#### 청구항 16.

제15항에 있어서,

상기 송신 클럭 생성부는

13.56KHz의 메인 클럭을 입력받아 847KHz의 클럭을 생성하는 제1 카운터;

상기 제1 카운터로부터 출력되는 847KHz의 클럭을 입력받아 106KHz의 송신 클럭(TX\_106KHz)을 생성하는 제2 카운터;

바이트의 시작신호(STARTBYTE\*)와 바이트의 종료 신호(ENDBYTE)를 입력받아, 바이트의 시작전이나 바이트의 종료 후에 금지신호(INHIBIT)를 발생시키고, 금지신호를 상기 제2 카운터의 클리어 단자에 입력하는 오어 게이트를 포함하는 근접식 카드의 데이터 송신 장치.

#### 청구항 17.

제15항에 있어서,

상기 데이터 전송부는

상기 송신 클럭 생성부에서 생성된 송신 클럭을 입력받아 송신하고자 하는 바이트 데이터를 직렬의 비트 데이터로 변환하고, 변환된 직렬 데이터에 프레임의 시작과 프레임의 끝을 부가하여 송신할 데이터 프레임을 생성하는 송신 프레임 생성부; 및

전송되는 데이터를 체크하여 한 바이트의 데이터가 종료하면 바이트 종료신호를 발생시켜 상기 송신 클럭 생성부의 송신 클럭의 발생을 중단시키는 바이트 전송 체크부를 포함하는 근접식 카드의 데이터 송신 장치.

#### 청구항 18.

제17항에 있어서,

상기 송신 프레임 생성부는

로우 레벨의 시작 비트, 송신하고자 하는 바이트 데이터와 하이 레벨의 정지 비트를 병렬로 입력받아 직렬로 변환하는 병렬- 직렬 쉬프트 레지스터;

상기 병렬- 직렬 쉬프트 레지스터로부터 출력되는 직렬의 비트 데이터를 106KHz의 송신 클럭에 동기시키기 위한 플립 플롭; 및

상기 플립플롭으로부터 출력되는 106KHz의 송신 클럭에 동기된 데이터와 프레임의 시작 영역과 끝 영역을 나타내는 신호(SOFEOF)를 입력받아 송신 데이터 프레임을 출력하는 앤드 게이트를 포함하는 근접식 카드의 데이터 송신 장치.

#### 청구항 19.

제17항에 있어서,

상기 바이트 전송 체크부는

106KHz의 송신 클럭이 10개 입력될 때마다 하이레벨의 펄스 신호를 생성하는 앤드 게이트; 및

상기 앤드 게이트로부터 출력되는 펄스신호를 클럭단자에 입력하여 상기 바이트 종료신호를 출력하는 플립플롭을 포함하는 근접식 카드의 데이터 송신 장치.

#### 청구항 20.

카드로부터 수신되는 데이터의 프레임의 시작과 프레임의 끝을 검출하여 유효한 프레임을 검출하는 수신 데이터 프레임 검출부;

직렬로 수신되는 데이터 프레임을 106KHz의 수신 클럭과 동기시켜 바이트 데이터로 변환하고 변환된 바이트 데이터를 데이터 버스나 포트에 실어주는 수신 데이터 변환부; 및

메인 클럭을 입력받아 상기 수신 데이터 프레임 검출부 및 상기 수신 데이터 변환부에서 필요한 클럭을 생성하는 수신 클럭 생성부를 포함하는 근접식 카드의 데이터 수신 장치.

#### 청구항 21.

제20항에 있어서,

상기 수신 프레임 검출부는

프레임의 시작 영역의 종료시점과 프레임의 끝 영역의 종료 시점 사이에서 하이 레벨 상태이고, 나머지 영역에서 로우 레벨인 프레임 검출 신호(DET\_SOF\_EOF)를 출력하는 것을 특징으로 하는 근접식 카드의 데이터 수신 장치.

#### 청구항 22.

제21항에 있어서,

상기 수신 프레임 검출부는

106KHz의 수신 클럭과 수신 데이터를 각각 입력단자와 클리어 단자에 입력하는 카운터;

상기 카운터의 출력을 입력받아 수신 데이터 중 로우레벨이 10 비트 이상이면 하이 레벨의 펄스 값을 출력하는 앤드 게이트;

상기 앤드 게이트로부터 하이 레벨의 펄스 값이 입력될 때마다 토글되어 상기 프레임 검출 신호를 출력하는 플립플롭을 포함하는 근접식 카드의 데이터 수신 장치.

#### 청구항 23.

제21항에 있어서,

상기 수신 데이터 변환부는

상기 프레임 검출 신호와 수신 데이터를 입력받아 비트 단위의 직렬 수신 데이터 프레임을 바이트 데이터로 변환하는 바이트 데이터 검출부;

바이트 데이터의 변환완료를 나타내는 신호(DATA- READY)를 발생하는 바이트 준비 신호 발생부를 포함하는 근접식 카드의 데이터 수신 장치.

청구항 24.

제23항에 있어서,

상기 바이트 준비 신호 발생부는

847KHz의 클럭을 입력받아 106KHz의 클럭을 출력하는 제1 카운터;

상기 제1 카운트의 출력을 입력받아 카운트하는 제2 카운터;

상기 제2 카운터의 출력신호를 입력받아, 수신된 데이터가 9번째 비트가 되면 하이 레벨의 펄스 값을 출력하는 제1 앤드 게이트;

상기 앤드 게이트의 출력신호가 클럭신호로 입력되어 데이터 준비 신호를 출력하는 제1 플립플롭을 포함하는 근접식 카드의 데이터 수신 장치.

청구항 25.

제24항에 있어서,

상기 바이트 데이터 검출부는

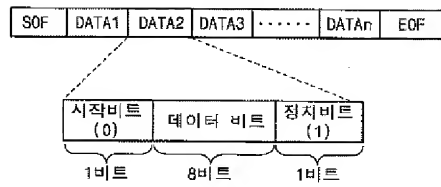
수신 데이터와 프레임 검출신호를 입력받는 제2 앤드 게이트;

상기 제2 앤드 게이트로부터 출력되는 직렬의 출력신호 중 시작 비트를 제외한 8비트의 데이터를 저장하는 직렬- 병렬 쉬프트 레지스터; 및

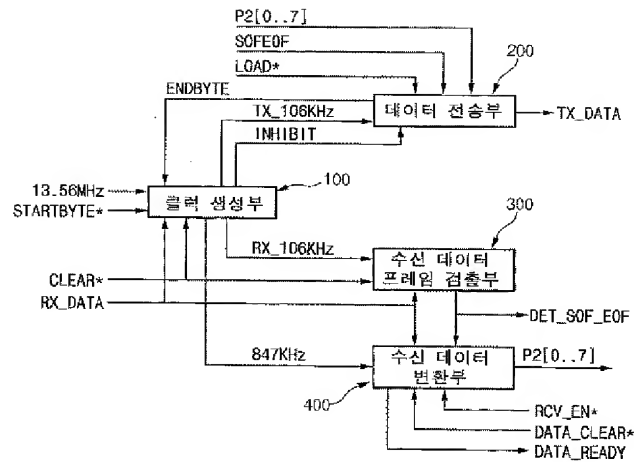
상기 쉬프트 레지스터에 저장된 데이터를 저장하며, 마이크로 컨트롤러의 제어하여 저장된 데이터를 마이크로 컨트롤러에 전달하는 래치를 포함하는 근접식 카드의 데이터 수신 장치.

도면

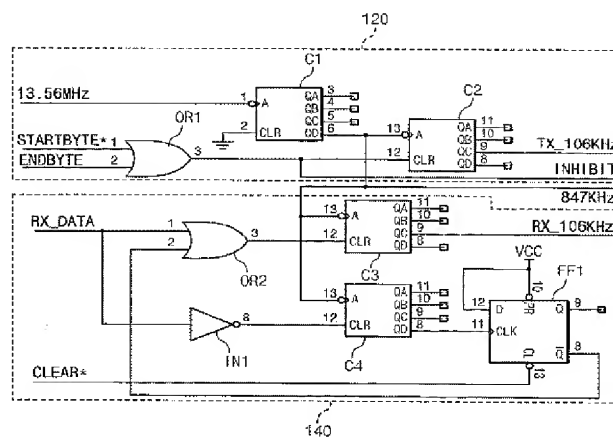
도면 1



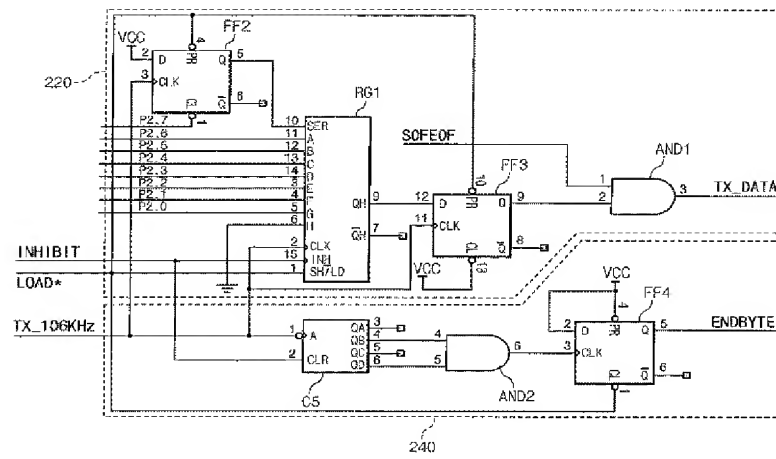
도면 2



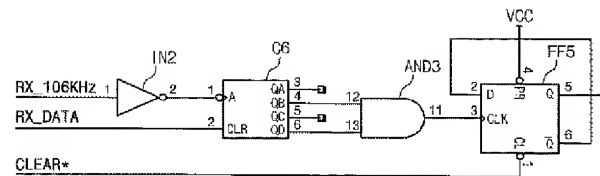
도면 3



도면 4

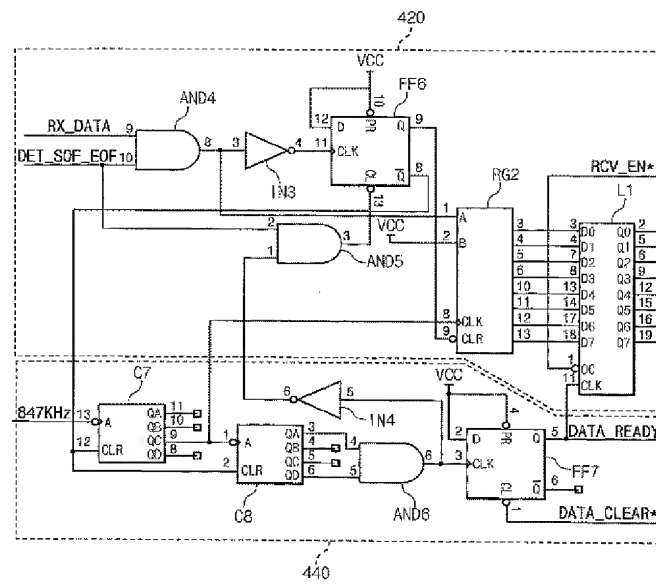


도면 5

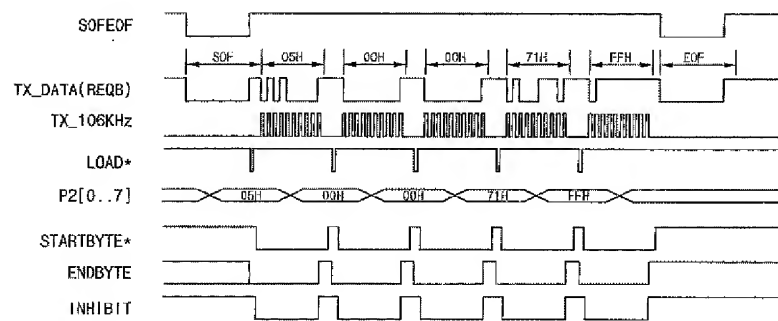




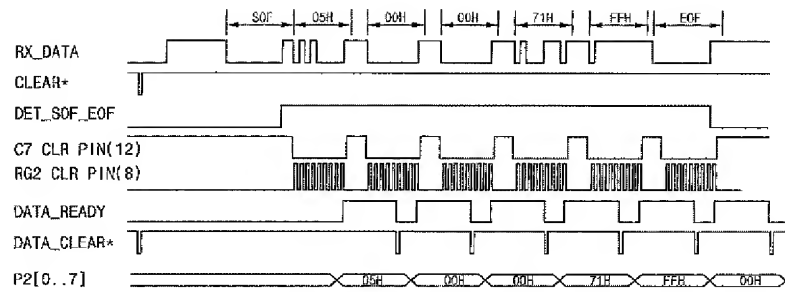
도면 6



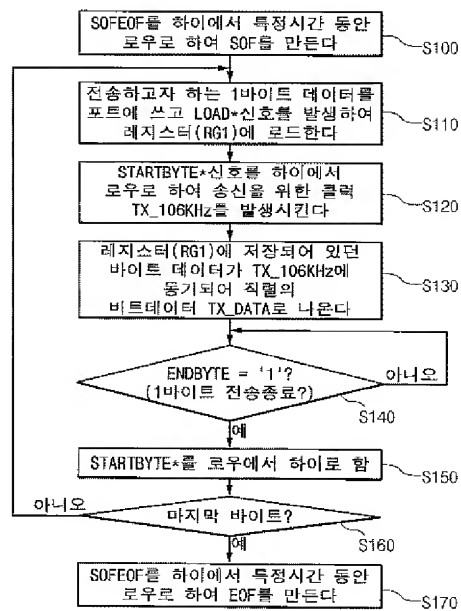
7면



도면 8



도면 9



도면 10

